

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-142579

(43)Date of publication of application : 02.06.1995

(51)Int Cl.

H01L 21/768
H05K 3/46

(21)Application number : 05-312767

(71)Applicant : CANON INC

(22)Date of filing : 19.11.1993

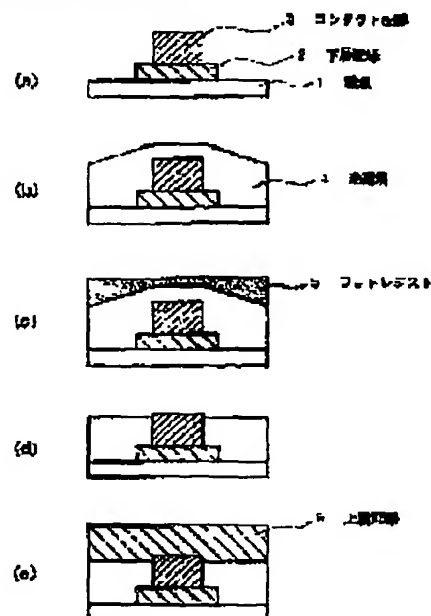
(72)Inventor : OGURI NOBUAKI
NIIBE MASATO

(54) MULTILAYER WIRING STRUCTURE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a multilayer wiring structure which has electro-migration resistance and stress-migration resistance and in which yield, reliability and surface flatness are improved

CONSTITUTION: First of all, a lower layer wiring 2 is formed on a substrate 1, and a contact wiring 3 for electrically connecting an upper and a lower wiring 2, 6 is formed, and after that, an insulating layer 4 is laminated on the whole surface of a substrate, and the surface of the insulating layer 4 is etched back until the surface of the contact wiring is exposed, and the upper wiring 6 is formed and connected with the exposed contact wiring 3.



LEGAL STATUS

[Date of request for examination] 26.08.1997

[Date of sending the examiner's decision of rejection] 10.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-142579

(43) 公開日 平成7年(1995)6月2日

(51) Int. Cl. ⁴	識別記号	弁内整理番号	P I	技術表示箇所
H 0 1 L 21/768				
H 0 5 K 3/46		N 6921-4E		
			H 0 1 L 21/ 90	A

審査請求 未請求 請求項の数 2 F D (全 10 頁)

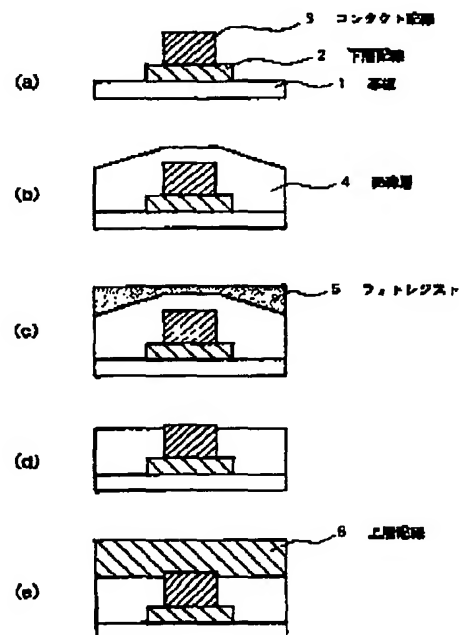
(21) 出願番号	特願平5-312767	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成5年(1993)11月19日	(72) 発明者	大栗 宜明 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(72) 発明者	新部 正人 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74) 代理人	弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 多層配線構造及び製造方法

(57) 【要約】

【目的】 垂直エレクトロマイグレーション、耐ストレスマイグレーションを有し、歩留、信頼性及び表面平坦性の向上した多層配線構造を提供する。

【構成】 基板上に先ず下層配線を形成し、先に上層配線の電気的接続を行なうコンタクト配線を上記下層配線の上に形成した後、基板全面に絶縁層を積層し、該絶縁層表面を上記コンタクト配線表面が露出するまでエッチバックし、上層配線を形成して露出したコンタクト配線に接続する。



(2)

特開平7-142579

2

【特許請求の範囲】

【請求項1】 絶縁層と、該絶縁層を挟んで上下に位置する配線、及び該絶縁層を貫いて上下配線を電気的に接続するコンタクト配線とからなる多層配線構造において、上記絶縁層上面がエッチング面であることを特徴とする多層配線構造。

【請求項2】 請求項1記載の多層配線構造の製造方法であって、基板上に下層配線を形成する工程、該下層配線の上にコンタクト配線を形成する工程、コンタクト配線を含む基板全面に絶縁層を積層する工程、エッチバックにより上記コンタクト配線表面を露出させる工程、及び上層配線を形成して露出したコンタクト配線に接続する工程とを有することを特徴とする多層配線構造の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体素子等精密電子部品などにおいて、絶縁層を挟んで上下に位置する配線間をコンタクト配線により電気的に接続する多層配線構造、及び該構造の製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体素子に代表される様に素子の大容量化、機能の高性能化が急速に進み、それに伴い、回路パターンがより微細化し、また回路構造もより複雑化してきている。一方、表示装置はますます大型化し、素子機能も複雑化しつつある。

【0003】 ところで、半導体記憶素子や表示装置に用いられる多層配線技術には微細化や高信頼性が要求されている。

【0004】 一般的な半導体素子及び表示装置などに用いられる多層（上下2層）配線の製造工程について図2を用いて説明する。

【0005】 先ず基板1上にフォトリソグラフィ、エッチングにより下層配線2を形成し、基板全面にSiO₂等の絶縁層4を積層する（a）。次に、絶縁層4にコンタクトホールを形成するためのマスクパターン8をフォトリソグラフィによりマスク露光して形成する（b）。（b）で形成したマスクパターン8をエッチングマスクとして絶縁層4のエッチングを行ない、コンタクトホール7を形成する（c）。続いてエッチングマスクを除去し（d）、例えばスパッタ法等により、コンタクトホール7内に配線素材を埋め込みながら上層配線6を形成し、下層配線2との電気的接続を行なう（e）。

【0006】 図3に上層配線の形成方法による上下層配線の接続状態の違いを示す。図3にはコンタクトホール断面を示した。

【0007】 図3（a）はスパッタ法によるものである。スパッタ法では、コンタクトホール7内壁及び下層配線表面への均一な成膜が困難なため、コンタクトホール7内での膜厚制御がほとんどできない。また、形状も

スパッタ特有の形状を示し、均一にならない。さらに、荷電粒子によるコンタクトホール7の損傷を生じる場合もある。

【0008】 図3（b）は電子ビームや抵抗加熱により上層配線材料をコンタクトホール7内に埋め込む蒸着法である。蒸着法では、コンタクトホール7内壁と下層配線表面では蒸着膜の膜厚に差が生じ、コンタクトホール7内での膜厚制御が難しい。さらにコンタクトホール7内の配線形状を均一にすることが困難で、段切れなどが起こり易い。

【0009】 図3（c）はバイアススパッタ法によるものである。この方法では膜厚の制御、コンタクトホール7内の配線形状は（a）、（b）と比べて優れているものの、荷電粒子によるコンタクトホールの損傷やホール内の寸法が狭くなるに連れて増加する空隙の発生、段切れ等の問題を生じることがある。

【0010】 さらに上述した多層配線構造及び製造方法では、下層配線、絶縁層、上層配線等の多層構成により下地の凹凸による段差がさらに上層に素子を作り込む場合に、素子設計自由度を小さくしてしまうこともあり、また、製造工程においてもフォトレジストパターン形成時に段差による不要な露光、光の乱反射によるフォトレジストパターンの細りが生じ、均一なパターンの形成が困難になる。特にこの問題は層構成が複雑になるに連れ、且つ寸法が微細であるほど顕著となる。

【0011】

【発明が解決しようとする課題】 以上のように、上記した多層配線構造の製造方法では、コンタクトホール内での段差被覆性が低下し、断線を引き起こす場合がある。特に段差被覆性は多層配線構造で問題となるエレクトロマイグレーションやストレスマイグレーション耐性を劣化させ、半導体素子や表示装置としての歩留及び信頼性を低下させる。さらに、工程数が多いという問題がある。

【0012】 本発明は上述の従来の多層配線構造の製造方法の有する問題点を解決し、断線不良を防止してエレクトロマイグレーション、ストレスマイグレーション耐性、歩留、信頼性、及び表面平坦性の向上した多層配線構造及びその製造方法の提供を目的とするものである。

【0013】

【課題を解決するための手段】 本発明の第1は、絶縁層と、該絶縁層を挟んで上下に位置する配線、及び該絶縁層を貫いて上下配線を電気的に接続するコンタクト配線とからなる多層配線構造において、上記絶縁層上面がエッチング面であることを特徴とする多層配線構造を提供するものである。本発明において、コンタクト配線と上層配線及び下層配線の素材はそれぞれ異なるものであっても、同一であっても良い。

【0014】 また本発明の第2は上記第1の製造方法であって、基板上に下層配線を形成する工程、該下層配線

3

上にコンタクト配線を形成する工程、コンタクト配線を含む基板全面に絶縁膜を積層する工程、エッチバックにより上記コンタクト配線表面を露出させる工程、及び上層配線を形成して露出したコンタクト配線に接続する工程とを有することを特徴とする多層配線構造の製造方法である。

【0015】

【実施例及び作用】以下、図面に示す実施例に基づいて本発明を詳解に説明する。

【0016】（実施例1）図1に本発明の一実施例の製造方法を示す。まず初めに、絶縁性基板1を界面活性剤で洗浄し、 γ に有機溶剤による超音波洗浄を2〜3回繰り返した後、 N_2 ブローで乾燥して200℃、30分の熱処理を行なう。

【0017】次にフォトレジスト（商品名・RD-2000N、日清化成社製）を基板全面に塗布し、80℃の乾燥を行なう。フォトレジストの厚さは2.0 μ m〜3.0 μ m程度が適当である。

【0018】次に、通常のフォトリソグラフィ技術を用いて、露光、現像を行ない、レジストパターンを形成する。続いて全面に、例えばCr、Au、Crの3層構成である下層配線2を、例えば電子ビーム蒸着法によって膜厚がそれぞれCr=50Å、Au=6000Å、Cr=300Åとなるように連続蒸着する。次に蒸着された不要なCr、Au、Crをリフトオフによって全面除去する。これにより基板1上に下層配線2が形成される。

【0019】次に、フォトレジスト（商品名・AZ4620、ヘキスト社製）を基板全面に塗布し、90℃の乾燥を行なう。フォトレジストの厚さは5.0 μ m〜7.0 μ m程度が適当である。続いてフォトリソグラフィ技術を用いて露光、現像を行ない、上下配線の電気的接続を行なうコンタクト配線用レジストパターンを形成する。このレジストパターン上に全面に、例えばCr、Auを例えば電子ビーム蒸着法によりCr=50Å、Au=20000Åの厚さに連続蒸着し、不要なCr、Auをリフトオフにより全面除去することによって、下層配線2上にコンタクト配線3を形成する（a）。

【0020】次に基板1全面に、例えばスパッタ法によりシリコン酸化膜等の絶縁層4を形成する。この時、絶縁層4の厚さはコンタクト配線3の高さより厚い方がよい（b）。

【0021】さらに、フォトレジスト（商品名・AZ1370-SI、ヘキスト社製）5を基板全面に塗布形成し、120℃の乾燥を行なう。フォトレジスト5の厚さは1.0 μ m〜1.5 μ m程度が適当である（c）。

【0022】次にエッチバック法により全面をエッチングし、平坦化しながらコンタクト配線3の表面を露出させる（d）。

【0023】最後にフォトリソグラフィ技術を用いて、例えばCr、Auの2層構成で上層配線6をパターンニ

(3)

特開平7-142579

4

グ形成し、本発明の多層配線構造を形成する（e）。

【0024】本発明の多層配線構造は、上下層の電気的接続をとるためのコンタクト配線3を、下層配線2上に形成してから絶縁層4を形成し、エッチバックによりその表面を露出させて上層配線を接続するため、コンタクトホール内の上下層配線状態は完全な埋め込み状態となり、極めて良好な相互接続を得ることができる。さらに、上層配線6形成前に絶縁層4表面がエッチバックにより平坦化され段差がないため、上層配線6は平坦な状態で形成され、通孔且つ平坦な膜を形成し得るため、エレクトロマイグレーション及びストレスマイグレーションによる断線を防止することができる。

【0025】また、本実施例ではコンタクトホール内の寸法及び形状が、コンタクト配線3の加工寸法、形状で決定されるため、微細化や集積化も同時に達成される。

【0026】さらにまた、本実施例によれば、コンタクトホールの形成工程が不要であり、工程短縮が実現され、歩留が向上する。同時に、従来のコンタクトホールに配線材料を埋め込むための両面且つ高高度な成膜技術が必要としないという利点も有している。

【0027】本発明においては、多層配線構造及び製造方法は本実施例に限定されるものではなく、例えば、本実施例においては基板1として絶縁性基板を用いたが、シリコン等半導体基板や圧電性基板でも実施することができる。

【0028】さらに本実施例では下層配線材料としてCr-Au-Crの積層配線を用いたが、他の組み合わせ、例えばCr-Cu-Crや、Cr-Al-Crでも良く、また合金も用いることができる。また本実施例では3層の積層配線を用いたが2層、単層配線或いは4層以上の積層配線でも良い。コンタクト配線、上層配線についても同じことが言える。

【0029】また、絶縁層4としては本実施例で用いたシリコン酸化膜の他に、他の酸化膜やSi₃N₄膜等窒化膜でも良い。さらに、SOG、ポリイミドなどの塗布形成可能な絶縁膜を用いることもできる。

【0030】本実施例では上層配線及びコンタクト配線の形成にリフトオフ法を用いたが、ドライエッチング、ウェットエッチングでも良く、配線材料の種類や目的とする素子の仕様やエッチングレート等に応じて選択すれば良い。

【0031】（実施例2）本発明第2の実施例として、図4に本発明の多層配線構造を利用した表面伝導型電子放出素子（SCE）を構成要素とする画像表示装置を示す。また、図7に本実施例を構成するSCEを複数個配置してなる単純マトリクス型電子源を示す。さらに、図8に図7のA-A'断面の多層配線構造の製造工程を示す。

【0032】SCEは基板1上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生

50

ずる現象を利用するもので、その典型的な構成としては、絶縁性基板上に1対の素子電極を設け、該電極を連絡するように金属酸化物質薄膜を成膜し、該薄膜を予めフォーミングと呼ばれる通電処理により局所的に破壊したものである。

【0033】工程A

はじめに基板上に図1(a)～(d)の工程に従い希望のx配線(下層配線)42、コンダクト配線3、絶縁層4、を順次形成する。

【0034】工程B

その後、素子電極45と素子電極間ギャップGとなるべきパターンをフォトリソスト(RD-2000N-41日立化成社製)で形成し、真空蒸着法により厚さ50ÅのTi、厚さ1000ÅのNiを順次堆積した。フォトリソストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間ギャップGを有する素子電極45を形成した。即ち本実施例においては素子電極45が本発明にかかる上層配線に相当する。ここでは素子電極間ギャップは2μmとした。

【0035】工程C

素子電極45の上にy配線のフォトリソストパターンを形成した後、厚さ50ÅのTi、厚さ5000ÅのAuを順次真空蒸着により堆積し、リフトオフにより不要な部分を除去してy配線43を形成した。

【0036】工程D

図9に本工程に関わるSCEの平面図の一部を示す。素子電極間ギャップG上に薄膜形成部92となる開口部を有するように膜厚1000ÅのCr膜91を真空蒸着により堆積・ターニングし、その上に有機Pd(ccp4230、日野製薬株式会社製)をスピンナーにより回転塗布、焼成してPd微粒子からなる電子放出部形成用薄膜44を形成する。さらに、Cr膜及び焼成後の薄膜44を酸エッチャントによりウエットエッチングして所望のパターンを形成した。

【0037】以上の工程で複数個の平面型SCEを形成した基板1をリアプレート41に固定した後、基板1の5mm四方に、フェースプレート49(ガラス基板46の内面に蛍光膜47とメタルバック48が形成されて構成されている)を支持枠52を介して配置し、フェースプレート49、支持枠52、リアプレート41の接合部にフリットガラスを塗布し、大気中或いは窒素雰囲気中で400℃ないし500℃で10分以上焼成することで封着した(図4)。図4において、42、43はそれぞれx方向及びy方向の配線である。

【0038】図4に示した蛍光膜47は、モノクロームの場合は蛍光体のみからなるが、本実施例では蛍光体はストライプ形状[図6(a)]を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜47とした。ブラックストライプの材料は通常良く用いられる黒鉛を主成分とするもので、ガラス基

板46に蛍光体を塗布する方法はスラリー法を用いた。蛍光体としては上記ストライプ形状の他に、図6(b)に示したのもも好適に用いられる。また、蛍光膜47の内面側には通常メタルバック48が設けられるが、これは蛍光膜作製後、該蛍光膜の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行ない、その後A1を真空蒸着することで作製した。

【0039】フェースプレート49には、さらに蛍光膜47の導電性を高めるため、蛍光膜47の外周側に透明電極(不図示)が設けられる場合もあるが、本実施例ではメタルバック48のみで十分な導電性が得られたので省略した。

【0040】前述の封着を行なう際、カラーの場合は各色蛍光体とSCEとを対応させなくてはならないため、十分な位置合わせを行なった。

【0041】以上のようにして完成した外周器53内の雰囲気は排気管(不図示)を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子D₄₁～D₄₄とD₄₁～D₄₄を通じて素子電極45に電圧を印加し、薄膜44を通電処理(フォーミング処理)することにより電子放出部を形成した。フォーミング処理の電圧波形を図5に示す。

【0042】図5中、T₁及びT₂は電圧波形のパルス幅とパルス間隔であり、本実施例ではT₁を1ミリ秒、T₂を10ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)を5Vとし、約1×10⁻⁶torrの真空雰囲気下で60秒間行なった。

【0043】このようにして作製された電子放出部は、バジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は30Åであった。

【0044】フォーミング処理後、1×10⁻⁶torrの真空度で不図示の排気管をガスバーナーで熱して融着し、外周器53を封止した。また封止に際しては、封止後の真空度を維持するためにグッター処理を行なった。これは、封止を行なう直前に、高周波加熱等の加熱法により、画像形成装置内の所定の位置(不図示)に配置されたグッターを加熱し、蒸着膜を形成処理するもので、グッターはBa等を主成分とするものである。

【0045】以上のようにして完成した本発明の画像表示装置において、各SCEには容器外端子D₄₁～D₄₄、D₄₁～D₄₄を通じ、走査信号及び変調信号を不図示の信号発生手段よりそれぞれ印加することにより、電子を放出させ、高圧端子H₁を通じ、メタルバック48に数kV以上の高圧電圧を印加し、電子ビームを加速し、蛍光膜47に衝突させ、励起・発光させることで画像を表した。

【0046】以上説明したように本実施例による多層配線構造で構成された電子源によれば従来問題となっていたXYマトリクス配線構造において、上層配線と下層配線との電気的な接続が大きく改善され、信頼性の高いX

7

Yマトリクス構造が得られる。また、上層配線は平坦な状態で形成されるため、連続且つ平坦な膜となり段切れが大幅に改善された。

【0047】さらに、XYマトリクス配線と素子の電気的接続が容易になる等製法が簡略化され、安価で且つ簡易な構成の画素及び高信頼性の電子源及び画像形成装置が提供できる。

【0048】また、本実施例の電子源及び画像形成装置では電子源基板の表面形状が簡略化され、平坦性に優れているため、飛翔電子が配線に衝突する可能性が低減される。さらに、微細化、レンズ等の集積化が可能となり、電子光学系の設計自由度が拡大する。また容易にライン状に多数のSCEを配置することができ、大面積化の作製にも適している。

【0049】また、上記実施例の画像表示装置を用いて長さ400nmのアレイ状発光素子を作製し、感光性ドラム上に配置することにより、電子写真記録装置を構成することができた。

【0050】さらには、電子写真記録装置にアレイ状発光素子を作製した場合においても同様の効果を得ることができた。

【0051】図10は、前記説明のSCEを電子源として用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中100はディスプレイパネル、101はディスプレイパネルの駆動回路、102はディスプレイコントローラ、103はマルチプレクサ、104はデコーダ、105は入出力インターフェース回路、106はCPU、107は画像生成回路、108、109及び110は画像メモリインターフェース回路、111は画像入力インターフェース回路、112及び113はTV信号受信回路、114は入力部である。(尚、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。)以下、画像信号の流れに沿って各部を説明してゆく。

【0052】先ず、TV信号受信回路113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号(例えばMUSE方式をはじめとするいわゆる高品位TV)は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路113で受信されたTV

(5)

符開平7-142579

8

信号は、デコーダ104に出力される。

【0053】また、画像TV信号受信回路112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ104に出力される。

【0054】また、画像入力インターフェース回路111は、例えばTVカメラや画像読取スキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ104に出力される。

【0055】また、画像メモリインターフェース回路110は、ビデオテープレコーダ(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ104に出力される。

【0056】また、画像メモリインターフェース回路109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ104に出力される。

【0057】また、画像メモリインターフェース回路108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ104に出力される。

【0058】また、入出力インターフェース回路105は、本表示装置と、外部のコンピュータ、コンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行なうのはもちろんのこと、場合によっては本表示装置の備えるCPU106と外部との間で制御信号や数値データの入出力などを行なうことも可能である。

【0059】また、画像生成回路107は、前記入出力インターフェース回路105を介して外部から入力される画像データや文字・図形情報や、或いはCPU106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリや、画像処理を行なうためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0060】本回路により生成された表示用画像データは、デコーダ104に出力されるが、場合によっては前記入出力インターフェース回路105を介して外部のコンピュータネットワークやプリンタに出力することも可能である。

【0061】また、CPU106は、主として本表示装置の動作制御や、表示画像の生成、選択、編集に関わる

(6)

特開平7-142579

10

作業を行なう。

【0062】例えば、マルチプレクサ103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ102に対して制御信号を発生し、画面表示周波数や走査方法(例えばインターレースかノンインターレースか)や画面の走査線の数など表示装置の動作を適宜制御する。

【0063】また、前記画像生成回路107に対して画像データや文字・図形情報を直接出力したり、或いは前記入出力インターフェース回路105を介して外部のコンピュータメモリをアクセスして画像データや文字・図形情報を入力する。

【0064】尚、CPU106は、むしろこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0065】或いは、前述したように入出力インターフェース回路105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行なっても良い。

【0066】また、入力部114は、前記CPU106に使用者が命令やプログラム、或いはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いることが可能である。

【0067】また、デコーダ104は、前記107ないし113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に変換するための回路である。且、図4中に点線で示すように、デコーダ104は内部に画像メモリを備えるのが望ましい。これは、例えばLUSSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる。或いは前記画像生成回路107及びCPU106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行なえるようになるという利点が生まれるからである。

【0068】また、マルチプレクサ103は前記CPU106より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチプレクサ103はデコーダ104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路101に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、いわゆる多画面テレビのように、一面面を複数の領域に分けて領域によって異なる画像を扱うことも可能である。

【0069】また、ディスプレイパネルコントローラ102は、前記CPU106より入力される制御信号に基

づき駆動回路101の動作を制御するための回路である。

【0070】先ず、ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源(不図示)の動作シーケンスを制御するための信号を駆動回路101に対して出力する。

【0071】また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法(例えばインターレースかノンインターレースか)を制御するための信号を駆動回路101に対して出力する。

【0072】また、場合によっては表示画像の輝度、コントラスト、色調、シャープネスといった画質の調整に関わる制御信号を駆動回路101に対して出力する場合もある。

【0073】また、駆動回路101は、ディスプレイパネル100に印加する駆動信号を発生するための回路であり、前記マルチプレクサ103から入力される画像信号と、前記ディスプレイパネルコントローラ102より入力される制御信号に基づいて動作するものである。

【0074】以上、各部の機能を説明したが、図10に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル100に表示することが可能である。即ち、テレビジョン放送をはじめとする各種の画像信号はデコーダ104において逆変換された後、マルチプレクサ103において適宜選択され、駆動回路101に入力される。一方、ディスプレイコントローラ102は、表示する画像信号に応じて駆動回路101の動作を制御するための制御信号を発生する。駆動回路101は、上記画像信号と制御信号に基づいてディスプレイパネル100に駆動信号を印加する。これにより、ディスプレイパネル100において画像が表示される。これらの一連の動作は、CPU106により統括的に制御される。また、本表示装置においては、前記デコーダ104に内蔵する画像メモリや、画像生成回路107及びCPU106が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ替え、はめ込みなどをはじめとする画像編集を行なうことも可能である。また、本実施例の説明では、特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に対しても処理や編集を行なうための専用回路を設けても良い。

【0075】従って、本表示装置は、テレビジョン放送の受像機器、テレビ会議の端末機器、静止画像及び動画画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用或いは民生用として極めて応用範囲が広い。

11

(7)

特開平7-142579
12

【0076】尚、上記図10は、SCEを電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したに過ぎず、これのみに限定されるものでないことは言うまでもない。例えば図10の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0077】本表示装置においては、とりわけSCEを電子源とするディスプレイパネルの薄型化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、SCEを電子源とするディスプレイパネルは大画面化が容易で解像度が高く視野角特性にも優れるため、本表示装置は臨場感あふれる迫力に富んだ画像を視認性良く表示することが可能である。

【0078】

【発明の効果】以上説明したように、本発明の多層配線構造は、

【0079】(1) 耐エレクトロマイグレーション、耐ストレスマイグレーション性が向上し、信頼性が高い。

【0080】(2) 多層配線による段差がなく、表面平坦性に優れているため、微細化、他の素子との集積化が容易となる。

【0081】(3) 上層配線、下層配線との電気的接続に独立で形成するコンタクト配線を設けるので極めて良好な上下層配線の相互接続が得られる。

【0082】(4) 多層配線構造の作製工程が短縮でき、且つ精度が向上する。という効果を奏し、またXYマトリクス表示装置に適用した場合に、XYマトリクス配線において信頼性の高い相互接続が得られ、XYマトリクス配線と素子の電気的接続が容易になる等、製法が簡略化され、安価で且つ簡易な構成の電子源及び画像形成装置が提供できる。また、高歩留且つ高信頼性を有する画像表示装置が提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造工程を示す断面図である。

【図2】従来の多層配線構造の製造工程を示す断面図である。

【図3】従来の多層配線構造の断面図である。

【図4】本発明第2の実施例の画像表示装置を示す図である。

【図5】本発明第2の実施例にかかるSCEのフォーミング波形を示す図である。

【図6】本発明第2の実施例にかかる蛍光体を示す図で

ある。

【図7】本発明第2の実施例にかかる電子源を示す図である。

【図8】本発明第2の実施例における多層配線構造の1製造工程を示す断面図である。

【図9】本発明第2の実施例におけるSCEの1製造工程を示す図である。

【図10】本発明第3の実施例のブロック図である。

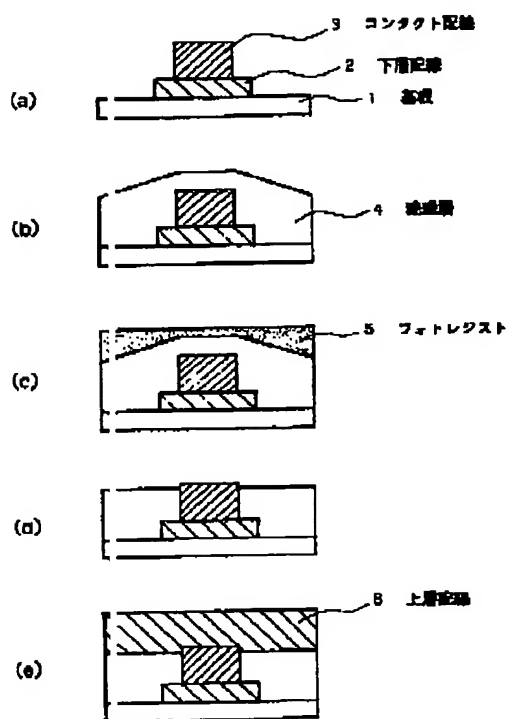
【符号の説明】

- | | | |
|----|-----|-----------------|
| 10 | 1 | 基板 |
| | 2 | 下層配線 |
| | 3 | コンタクト配線 |
| | 4 | 絶縁層 |
| | 5 | フォトリソ |
| | 6 | 上層配線 |
| | 7 | コンタクトホール |
| | 8 | マスクパターン |
| | 41 | リアプレート |
| | 42 | x配線 |
| 20 | 43 | y配線 |
| | 44 | 層膜 |
| | 45 | 蛍光板 |
| | 46 | ガラス基板 |
| | 47 | 蛍光膜 |
| | 48 | メタルバック |
| | 49 | フェースプレート |
| | 52 | 支持材 |
| | 53 | 外周部 |
| | 61 | 黒色導電体 |
| 30 | 62 | 蛍光体 |
| | 91 | Cr膜 |
| | 92 | 薄膜形成部 |
| | 100 | ディスプレイパネル |
| | 101 | 駆動回路 |
| | 102 | ディスプレイパネルコントローラ |
| | 103 | マルチプレクサ |
| | 104 | デコーダ |
| | 105 | 入出力インターフェース回路 |
| | 106 | CPU |
| 40 | 107 | 画像生成回路 |
| | 108 | 画像メモリインターフェース回路 |
| | 109 | 画像メモリインターフェース回路 |
| | 110 | 画像メモリインターフェース回路 |
| | 111 | 画像入力インターフェース回路 |
| | 112 | TV信号受信回路 |
| | 113 | TV信号受信回路 |
| | 114 | 入力部 |

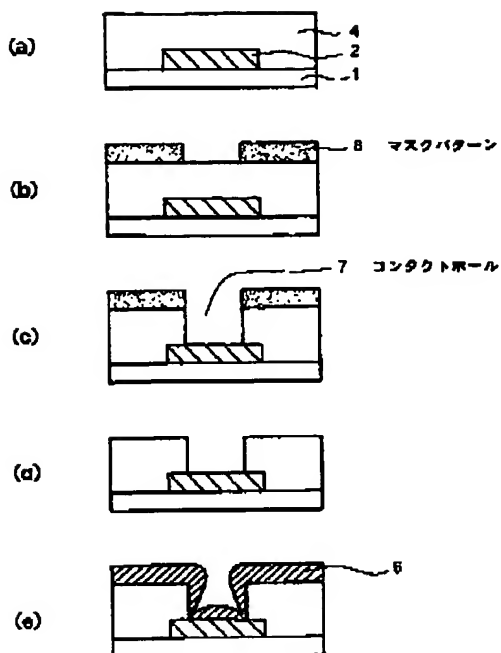
(8)

特開平7-142579

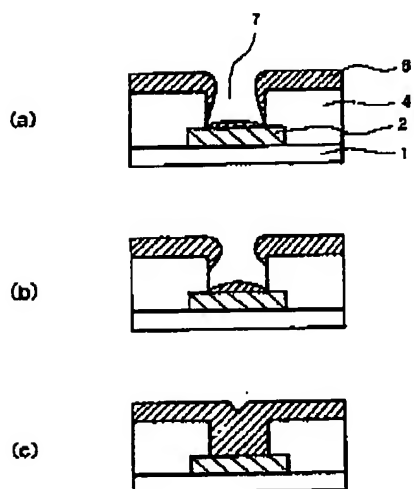
【図1】



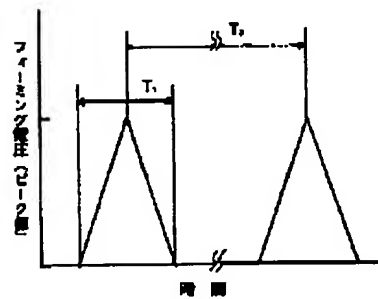
【図2】



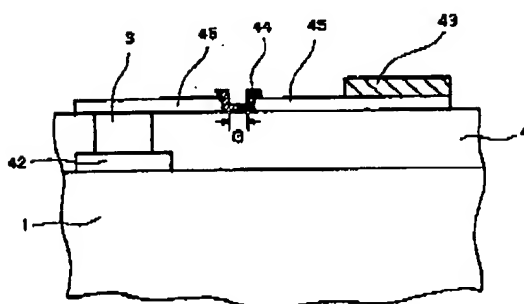
【図3】



【図5】



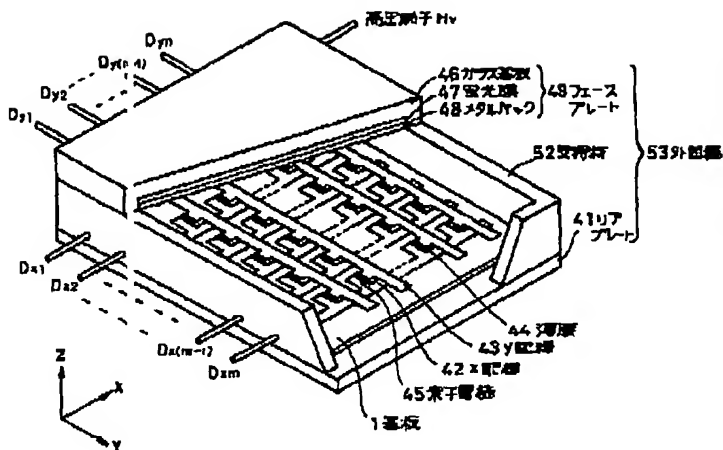
【図8】



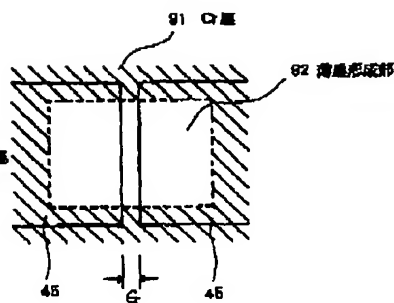
(9)

特開平7-142579

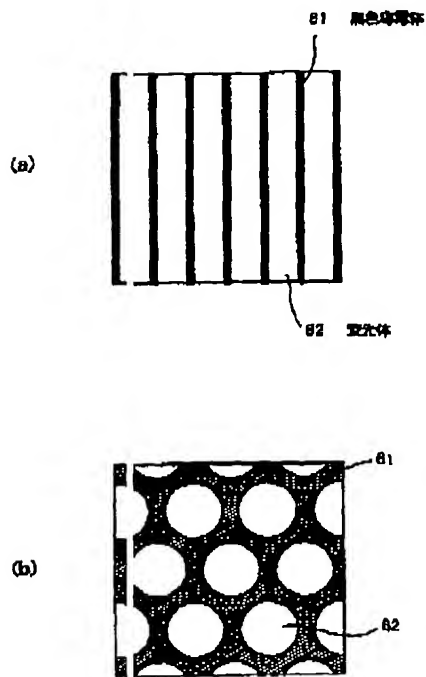
【図4】



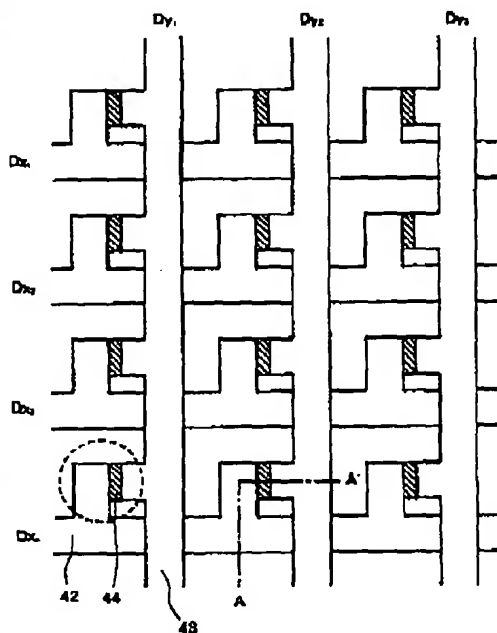
【図9】



【図6】



【図7】



(10)

特開平7-142579

【図10】

